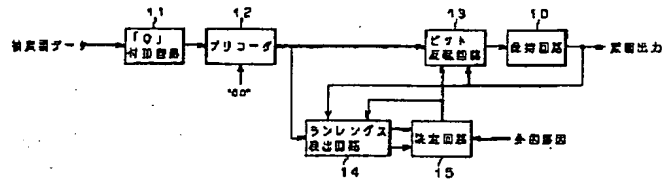


Patent Abstracts of Japan

TITLE : ENCODER



COPYRIGHT: (C)1996,JPO

THIS PAGE BLANK (USP)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-161834

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 B 20/14

3 4 1 A 9463-5D

H 0 3 M 5/06

9382-5K

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平6-297170

(22) 出願日 平成6年(1994)11月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福島 道弘

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

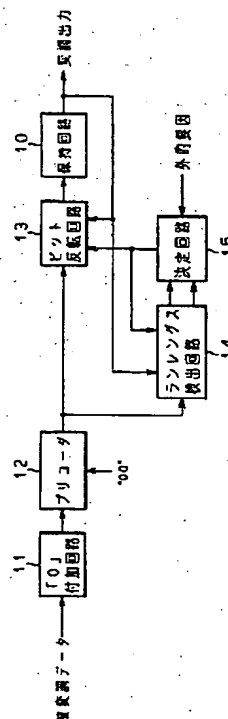
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 符号化装置

(57) 【要約】

【目的】 変調出力のランレングス検出のための処理時間の制約を緩和する。

【構成】 プリコード12からの変換出力をランレングス検出回路14に与えて最大ランレングスを検出する。この場合には、ランレングス検出回路14は、ランレングスの算出については、現ワードの変調出力として取り得るパターンが、変調出力の最終ビットと先頭ビットとの極性が同一であるか異なるかに基づく2パターンであることを利用して、前ワードの変調出力が確定する前に、これらの各パターンについて夫々最大ランレングスを検出する。そして、前ワードの変調出力が確定した後に、その最終ビットに基づいて現ワードの制御ビットを選択するための選択信号を出力する。この選択信号に基づいて現ワードのランレングスを制限する。ランレングス検出の演算を前ワードの変調出力確定前において開始しており、最終ビットのための十分な処理時間を得ることができる。



1

【特許請求の範囲】

【請求項1】 入力される被変調データのLビット（Lは正の整数）毎に1ビットの所定極性の制御ビットを付加する制御ビット付加手段と、

この制御ビット付加手段の出力に対しその先頭に所定極性の1ビットが付加されているものとして1-NRZ1変換を行って（L+1）ビットのワード単位の変換出力を出力する変調手段と、

前記変換出力の各ビットのうち前記制御ビットの極性を変化させた場合にビット反転する反転ビット群を反転又は非反転させる第1のビット反転手段及び前記変換出力の各ビットのうち前記制御ビットの極性を変化させてもビット反転しない共通ビット群を反転又は非反転させる第2のビット反転手段を有し、前記変換出力の各ビットを反転又は非反転させて変調出力として出力すると共に、1ワード前の変調出力に基づいて前記第2のビット反転手段の反転又は非反転を制御するビット反転手段と、

前ワードの変調出力の最終ビットと現ワードの変調出力の先頭ビットとが同一極性であるものとした場合の現ワードの最大ランレングスを検出する第1のランレングス検出手段と、

前ワードの変調出力の最終ビットと現ワードの変調出力の先頭ビットとが異なる極性であるものとした場合の現ワードの最大ランレングスを検出する第2のランレングス検出手段と、

前記第1のランレングス検出手段が検出した最大ランレングスと前記第2のランレングス検出手段が検出した最大ランレングスとを比較して小さい最大ランレングスを与える前記第1及び第2のランレングス検出手段のうちのいずれか一方を示す比較結果を出力する比較手段と、

前ワードの変調出力確定後においてその変調出力の最終ビットに基づいて前記比較結果を反転又は非反転させて選択信号として出力する反転手段と、

前記選択信号に基づいて前記反転ビット群の反転又は非反転を制御するための信号を前記ビット反転手段に与える決定手段とを具備したことを特徴とする符号化装置。

【請求項2】 前記比較手段は、前記第1又は第2のランレングス検出手段が検出した最大ランレングスが所定の設定値を越えたか否かを示す制御信号を前記比較結果と共に出力し、

前記決定手段は、前記制御信号によって前記第1又は第2のランレングス検出手段が検出した最大ランレングスが所定の設定値を越えていないことが示された場合には、最大ランレングス以外の他の要因に基づいて前記ビット反転手段を制御し、所定の設定値を超えたことが示された場合には、前記選択信号に基づいて前記ビット反転手段を制御することを特徴とする請求項1に記載の符号化装置。

【請求項3】 前記第1のランレングス検出手段は、

2

前ワードまでのランレングスを保持する第1の保持手段と、

この第1の保持手段の出力と前記変換出力とに基づいて現ワードの最大ランレングスを検出して前記第1の保持手段に与えると共に出力する第1の最大ランレングス検出手段と、

前記第2のランレングス検出手段の出力を前ワードまでのランレングスとして保持する第2の保持手段と、

この第2の保持手段の出力と前記変換出力とに基づいて現ワードの最大ランレングスを検出して出力する第2の最大ランレングス検出手段と、

前記第1及び第2の最大ランレングス検出手段の出力のいずれか一方を2ワード前の変調出力の最終ビットと前ワードの変調出力の先頭ビットとが同一極性であるか否かに基づいて選択して前記比較手段に与える選択手段とを具備したことを特徴とする請求項1に記載の符号化装置。

【請求項4】 前記第1及び第2のランレングス検出手段は、前記変換出力の1ビット前後の排他的論理和演算結果に基づいて最大ランレングスを検出することを特徴とする請求項1に記載の符号化装置。

【発明の詳細な説明】

【0001】 【発明の目的】

【産業上の利用分野】 本発明は、24-25変調装置等に好適な符号化装置に関する。

【0002】

【従来の技術】 近年、デジタル技術の進歩に伴い、画像情報もデジタル処理されるようになり、例えばデジタルのビデオテープコーダ（以下、VTRともいう）も開発されている。デジタル信号の伝送及び記録においては、低周波領域の信号成分を高効率で伝送又は記録することが困難であることから、直流及び低周波領域の信号成分を抑制するための平衡符号への変調、すなわち、DCフリー変調が多く用いられている。

【0003】 DCフリー変調においては、一般的に、記録変調信号の電荷蓄積値（DSV）（Digital Sum Value）の絶対値を小さくするようにしている。即ち、1コードに対して、CDS（Code Digital Sum）（コードの記録波形の“0”と“1”の数の差を示す）が異なる複数のコードを割当て、DSVの絶対値を小さくするためのコードを選択することで、DCフリーを達成する。

【0004】 ところで、VTRにおいては、磁気ヘッドが記録トラックを確実にトレースするように、トラッキング制御を行っている。この場合、高密度記録を達成するために、パイロット信号を用いたトラッキング法を採用することが考えられる。パイロット信号はアジマス角度が相違する隣接したトラックから再生する。従って、パイロット信号の周波数としてはアジマスロス効果が比較的小さい低域周波数を選択する。アナログVTRにおいてパイロット方式を採用した場合には、主信号である

F M変調輝度信号及び低域変換色信号は低域にスペクトラムを有していないので、パイロット信号による妨害は発生しない。しかし、デジタルVTRでは、主信号の占有帯域が限定されないで、パイロット信号と主信号とを相互に独立して周波数多重することはできず、相互に妨害成分となってしまう。

【0005】そこで、デジタルVTRにおいては、記録変調信号のDSVを故意に変動させることで、パイロット信号となる低域成分（以下、デジタルパイロットトーンという）を発生させる変調方法を採用する。この変調方法では、主信号自体のスペクトラムが特定の低域に集中するだけで、特に他の信号が発生しているのではなく、主信号に対する妨害波を多重するのではないから有効である。このようなトラッキングのためのデジタルパイロットトーンを発生させる従来の符号化装置については、24-25変調を採用した特開平5-284034号公報にて開示されたものがある。

【0006】また、磁気記録においては、記録周波数が高くなるにつれて出力特性が劣化する。従って、デジタル記録では最小磁化反転間隔を大きくすること、即ち、最小パルス幅が大きい変調信号に変換する必要がある。また、同様に、直流及び低周波領域の成分についても十分な出力を得ることができない。このため、記録信号のランレングス（同極性のビットの連続数）を制限して変調信号の最大パルス幅を小さくし、直流成分だけでなく低域成分全体を抑圧したDCフリー特性を得る必要がある。変調コードのランを制限することにより、高密度記録、アジマス記録及び重ね書き記録が可能となる。

【0007】図5はこのようなランレングスを検出するランレングス検出回路を備えた従来の符号化装置を示すブロック図であり、24-25変調を採用した例を示している。

【0008】この提案に示す24-25変調方式は、24ビットの入力データ列に1ビット付加して25ビットにすることによりデジタルパイロットトーンを発生させるものであり、付加する1ビット（以下、制御ビットという）を適宜設定することにより、3種類の周波数 f_0 、 f_1 、 f_2 のデジタルパイロットトーンを発生させると共に、ランレングスが設定値を越えることがないようにしている。

【0009】入力される被変調データには「0」付加回路1によって制御ビットとして“0”を付加する。また、被変調データには「1」付加回路2によって制御ビットとして“1”を付加する。「0」付加回路1の出力及び「1」付加回路2の出力は、夫々プリコード3、4に与えて、2クロック前後のビット同士の排他的論理和を求めるI-NRZI（インターリーブドNRZI）変換を行う。所定ワードに対するI-NRZI変換には、前ワードに対する変調出力の最終ビットが必要であり、プリコード2、3は保持回路10からの前ワードの変調出

力に基づいてI-NRZI変換を行う。

【0010】プリコード3、4の出力は選択回路9に与え、選択回路9は決定回路8からの選択信号に制御されて、プリコード3、4の出力のいずれか一方を選択することにより、制御ビットとして“0”を付加した変調出力を出力するか又は制御ビットとして“1”を付加した変調出力を出力するようになっている。保持回路10は選択回路9の出力を保持してワード単位の変調出力を出力する。

【0011】決定回路8は、最大ランレングスと周波数成分を決定する外的要因に基づいて、制御ビットとして“1”を用いるか“0”を用いるかを決定する。最大ランレングスはランレングス検出回路5、6によって検出するようになっている。ランレングス検出回路5、6には夫々プリコード3、4の出力を与え、ランレングス検出回路5、6は、最大のランレングスを求める。この場合には、前ワードの変調出力と現ワードの変調出力とにまたがるランレングスを検出するために、前ワードの変調出力終端までのランレングスが保持回路7から供給される。ランレングス検出回路5、6は、夫々保持回路7の出力とプリコード3、4の出力とに基づいて最大のランレングスを検出して決定回路8に出力する。また、ランレングス検出回路5、6は次ワードのランレングスの検出のために、現ワードの最終ビットから先頭ビット側へのランレングス（以下、累積ランレングスともいう）も求めて決定回路8に出力する。

【0012】決定回路8はランレングス検出回路5、6からの最大ランレングスがいずれも設定値Nを越えない場合には、外的要因に基づいて制御ビットを決定するための選択信号を出力し、最大ランレングスが設定値Nを越える場合には、最大ランレングスが小さくなる変調出力を選択するための選択信号を出力する。なお、ランレングス検出回路5、6のうち決定回路8が選択した回路から出力された累積ランレングスは保持回路7に与え、保持回路7は次ワードのランレングス検出時にランレングス検出回路5、6に出力する。

【0013】このように、図5の装置は、1ワード毎に変調出力のランレングスを求め、外的要因に基づいて制御ビットを決定すると変調出力のランレングスが所定の設定値N以上になる場合には、ランレングスを小さくする変調出力を選択するようにしており、これにより、変調出力の周波数成分を制御して所定のパイロットトーンを発生させると共に、ランレングスを制限して良好な磁化特性を得ている。

【0014】ところで、上述したように、プリコード3、4におけるI-NRZI変換には前ワードの変調出力の最終ビットが必要であり、前ワードの変調出力確定後でなければプリコード3、4からは変換出力が得られない。一方、次のワードの被変調データに対するI-NRZI変換処理前には変調出力を出力させる必要があ

り、前ワードの変調出力が確定してプリコーダ3、4から変換出力が出力された後にランレングスの検出を開始させると、ランレングス検出回路5、6の処理時間が著しく制約を受けるという問題があった。

【0015】

【発明が解決しようとする課題】このように、上述した従来の符号化装置においては、前ワードの変調出力が確定するまではプリコーダにおける変調処理を行うことができないことから、ランレングス検出のための処理時間が制約されてしまうという問題点があった。

【0016】本発明は、ランレングス検出のための処理時間の制約を緩和することができる符号化装置を提供することを目的とする。

【0017】【発明の構成】

【課題を解決するための手段】本発明に係る符号化装置は、入力される被変調データのLビット（Lは正の整数）毎に1ビットの所定極性の制御ビットを付加する制御ビット付加手段と、この制御ビット付加手段の出力に対しその先頭に所定極性の1ビットが付加されているものとしてI-NRZI変換を行って（L+1）ビットのワード単位の変換出力を出力する変調手段と、前記変換出力の各ビットのうち前記制御ビットの極性を变化させた場合にビット反転する反転ビット群を反転又は非反転させる第1のビット反転手段及び前記変換出力の各ビットのうち前記制御ビットの極性を变化させてもビット反転しない共通ビット群を反転又は非反転させる第2のビット反転手段を有し、前記変換出力の各ビットを反転又は非反転させて変調出力として出力すると共に、1ワード前の変調出力に基づいて前記第2のビット反転手段の反転又は非反転を制御するビット反転手段と、前ワードの変調出力の最終ビットと現ワードの変調出力の先頭ビットとが同一極性であるものとした場合の現ワードの最大ランレングスを検出する第1のランレングス検出手段と、前ワードの変調出力の最終ビットと現ワードの変調出力の先頭ビットとが異なる極性であるものとした場合の現ワードの最大ランレングスを検出する第2のランレングス検出手段と、前記第1のランレングス検出手段が検出した最大ランレングスと前記第2のランレングス検出手段が検出した最大ランレングスとを比較して小さい最大ランレングスを与える前記第1及び第2のランレングス検出手段のうちのいずれか一方を示す比較結果を出力する比較手段と、前ワードの変調出力確定後においてその変調出力の最終ビットに基づいて前記比較結果を反転又は非反転させて選択信号として出力する反転手段と、前記選択信号に基づいて前記反転ビット群の反転又

は非反転を制御するための信号を前記ビット反転手段に与える決定手段とを具備したものである。

【0018】

【作用】本発明において、被変調データには制御ビット付加手段によって所定極性の制御ビットを付加し、変調手段は先頭に所定極性の1ビットが付加されているものとしてI-NRZI変換を行う。前ワードの変調出力が確定する前に、第1及び第2のランレングス検出手段は、夫々、1ワード前の変調出力の最終ビットと現ワードの変調出力の先頭ビットとが同一であるか又は相違するものとして、最大ランレングスを求める。これらの最大ランレングスを比較手段によって比較し、比較手段は小さい最大ランレングスを与える第1又は第2のランレングス検出手段を示す比較結果を出力する。前ワードの変調出力が確定すると、反転手段はこの変調出力に基づいて比較結果を反転又は非反転させて選択信号として出力する。決定手段は選択信号に基づいて第1のビット反転手段を制御する。こうして、変調出力のランレングスを小さくする。

【0019】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係る符号化装置の一実施例を示すブロック図である。

【0020】入力される被変調データは「0」付加回路11に与える。「0」付加回路11は被変調データに制御ビットとして“0”を付加してプリコーダ12に与える。プリコーダ12は「0」付加回路11の出力をI-NRZI変換する。所定ワードに対するI-NRZI変換には、前ワードに対する変調出力の最終ビットが必要であるが、プリコーダ12は前ワードの変調出力の最終ビットとして常時“00”を用いて変換を行う。

【0021】プリコーダ12の変換出力はビット反転回路13を介して保持回路10に供給する。ビット反転回路13は、変調出力及び後述する決定回路15の出力に基づいて、プリコーダ12の変換出力の各ビットを反転又は非反転させて保持回路10に出力するようになっている。保持回路10はビット反転回路13の出力を保持すると共に、ワード単位で変調出力として出力するようになっている。保持回路10の最終ビットはビット反転回路13及びランレングス検出回路14に出力するようになっている。下記表1はビット反転回路13の動作を説明するためのものである。

【0022】

【表1】

前ワード ビット	制御 ビット	被変調データ 000000000000000000000000	
0	0	000000000000000000000000	(a)
0	1	010101010101010101010101	(b)
1	0	101010101010101010101010	(c)
1	1	111111111111111111111111	(d)

いま、入力される24ビットの被変調データが表1に示すように、“000000000000000000000000”であるものとする。上記表1は付加する制御ビットが“0”又は“1”であり、前ワードの最終ビットが“0”又は“1”である場合のI-NRZ I変換結果を示している。I-NRZ I変換結果の“1”を正レベルの信号に対応させ、“0”を負レベルの信号に対応させると、前ワードの最終ビットと制御ビットとが“0”、“0”の場合（以下、(a)の場合という）には、変換結果のDSVは次第に増加し、“1”、“1”の場合（以下、(d)の場合という）には、変換結果のDSVは次第に減少する。同様に、前ワードの最終ビットと制御ビットとが“0”、“1”の場合（以下、(b)の場合という）及び“1”、“0”の場合（以下、(c)の場合という）には、変換結果のDSVは変化しない。即ち、前ワードの最終ビットに応じて適宜制御ビットを設定することにより、DSVを制御することができ、I-NRZ I変換結果に所定周波数のデジタルパイロットトーンを発生させると共に、最大ランレングスを所定の設定値Nを越えない値に制限することができる。

【0023】上記表1から明らかなように、(a)の場合、即ち、前ワードの最終ビットが“0”で制御ビットも“0”である場合には、被変調データはそのまま変換結果として出力される。(b)の場合には、I-NRZ I変換結果は被変調データを1ビットおきに反転させたものとなる。I-NRZ I変換結果のビット列のうち制御ビット“1”によって反転した各ビットを反転ビット群とすると、表1の(c)の場合と(d)の場合との比較から明らかなように、前ワードの最終ビットが“1”である場合においても、制御ビットが“0”のときと“1”のときとは反転ビット群の各ビットは反転していることが分かる。

【0024】即ち、制御ビットとして“1”又は“0”を付加する代わりに、制御ビットとして常に“0”を付加し、反転ビット群を反転又は非反転させても同一の変調出力が得られる。この理由から、「0」付加回路11は制御ビットとして常に“0”を付加し、ビット反転回路

13が反転ビット群を反転又は非反転させることにより、制御ビットとして“1”又は“0”を付加したときと同一の変調出力を得ている。

【0025】また、反転ビット群以外の各ビットを共通ビット群とすると、前ワードの最終ビットが“0”である場合には、共通ビット群は被変調データと同極性となり、“1”である場合には、被変調データを反転させたものとなる。この理由から、プリコーダ12は前ワードの最終ビットが常に“00”であるものとしてI-NRZ I変換を行い、ビット反転回路13は実際の変調出力の最終ビットに基づいて共通ビット群を反転又は非反転させるようになっている。即ち、ビット反転回路13の共通ビット群に対する反転又は非反転処理は、前ワードの最終ビットに対応するものであり、保持回路10からの前ワードの変調出力の最終ビットが“0”である場合にはビット反転回路13は共通ビット群をそのまま出力し、“1”である場合には共通ビット群を反転させて出力する。

【0026】ビット反転回路13は決定回路15に制御されて、プリコーダ12の反転ビット群を反転又は非反転させるようになっている。ランレングス検出回路14は、プリコーダ12の変換出力及び保持回路10からの変調出力に基づいて、制御ビットが“1”である場合の現ワードの最大ランレングスと制御ビットが“0”である場合の現ワードの最大ランレングスとを求めて、小さい最大ランレングスを与える制御ビットを選択するための選択信号を決定回路15に出力すると共に、選択した制御ビットに基づく最大ランレングスが設定値Nを越えるか否かを示す制御信号を決定回路15に出力するようになっている。決定回路15は、ランレングス検出回路14からの選択信号及び制御信号と外的要因に基づいてビット反転回路13の反転ビット群に対するビット反転処理を制御するようになっている。本実施例においては、ランレングス検出回路14は、前ワードの変調出力が確定する前に、ランレングスの検出を開始するようになっている。

【0027】図2は図1中のランレングス検出回路14の具体的な構成を示すブロック図である。

【0028】本実施例のランレングス検出回路14は、前ワードの変調出力に拘らず、常に後述する3パターンの

ランレングス計算を行う。ランレングス検出回路14は、前ワードの変調出力確定前に算出演算を開始し、前ワードの変調出力が確定した後に、この変調出力を用いて3パターンのランレングスのうちの2つを選択し、選択した2つのランレングスの大小比較によって選択信号を求めるようになっている。

【0029】即ち、図2において、プリコーダ12からの変換出力は排他的論理和回路21に与える。排他的論理和回路21はワード毎にビット列の1ビット前後のビット同士で排他的論理和演算を行う。ランレングス検出回路14は、“0”の連続数と“1”の連続数とを求める必要がある。しかし、“0”の連続であるか“1”の連続であるかに拘らず、ランレングス検出回路14はランレングスの最大値を検出すればよい。そこで、ランレングス検出回路14は排他的論理和演算を行うようになっている。排他的論理和演算結果は前後のビットの極性が同一であれば“0”となり、相違する毎に“1”となる。即ち、排他的論理和演算結果の“0”の連続数+1が“0”又は“1”のランレングスとなる。変換出力の1ワード長が(L+1)ビットであるものとする、排他的論理和演算回路21の出力はワード毎にLビットとなる。

【0030】ところで、前ワードの変調出力の最終ビットと現ワードの先頭ビット(制御ビット)とが同一極性である場合には、ランレングスの検出に前ワードまでのランレングスを用いる必要がある。いま、1ワードを(L+1)ビットとし、L=24とするものとする。図3はこの場合において、前ワードの変調出力を“000000000000000000000000”とし、現ワードの被変調データを“101010101010101010101001010”とすることにより、最もランレングスが長くなる変調出力を示す説明図である。図3(a)は制御ビットが“0”の場合を示し、図3(b)は制御ビットが“1”の場合を示している。

【0031】図3においてaは現ワードのランレングス検出のために必要な前変調出力までのビット数を示している。いま、前変調出力の全ビットが“0”でその前の変調出力も最終ビットから逆方向に“0”が連続しているものとする。この場合には、制御ビットとして“1”を付加することにより、“0”が連続することを防止して、現ワードにおける最大ランレングスを小さくすることができる。下記表2はaと最大ランレングスとの関係を示している。

【0032】

【表2】

a	最大ランレングス	
	0	1
L-1	L	L+1
L	L+1	L+1
L+1	L+2	L+1
L+2	L+3	L+1

上記表2に示すように、aがL-1(=23)である場合には、制御ビットが“0”のときには最大ランレングスはLであり、“1”のときにはL+1である。即ち、この場合には制御ビットを“0”にすることにより最大ランレングスをL(=24)に抑制することができる。また、aがLの場合には、上記表2に示すように、制御ビットが“0”であっても“1”であっても、最大ランレングスはL+1である。また、aがL+1である場合には、制御ビットの“0”で最大ランレングスはL+2となり、“1”でL+1となる。即ち、この場合には、制御ビットを“1”にすることにより、最大ランレングスをL+1に抑制することができる。更に、aがL+2の場合には、上記表2から明らかなように、制御ビットを“1”とすることにより最大ランレングスをL+1に抑制することができる。以下同様に、aがL以上である場合には、最大ランレングスはL+1となる。換言すると、図3ではaを無制限に大きくしたが、実際には、最大ランレングスはL+1よりも大きな値とはならないので、aとしてL+1を設定することにより、正確に現ワードの最大ランレングスを求めることができる。

【0033】図4は変調出力の最終ビット及び先頭ビット(制御ビット)と最大ランレングスの算出に必要な範囲との関係を説明するための説明図である。図4においてfirst0, first1は夫々現ワード又は前ワードの先頭ビット(制御ビット)を示し、last1, last2は夫々前ワード又は2ワード前の最終ビットを示している。また、矢印は最大ランレングスの算出に必要な範囲を示している。

【0034】上述したように、現ワードの最大ランレングスの検出には2ワード前の変調出力まで考慮すればよいので、考えられるパターンは図4の4パターンである。即ち、図4(a)はfirst0=last1, first1=last2である場合である。また、図4(b)はfirst0≠last1, first1=last2である場合であり、図4(c)はfirst0=last1, first1≠last2である場合であり、図4(d)はfirst0≠last1, first1≠last2である場合である。これらの4パターン(以下、夫々Aパターン乃至Dパターンという)のうちBパターン、Dパターンは、

図4 (b), (d) の矢印に示すように、必要な範囲は同じである。従って、A, B, Cパターンのみについて最大ランレングスの検出を行えばよい。

【0035】ところで、1ワード前の変調出力の確定前においては、現ワードの変調出力として考えられるパターンは、上記表1に示すように、前ワードの変調出力の最終ビットに基づく2パターンと制御ビットの極性に基*

*づく2パターンとの計4パターンである。下記表(3), (4)は被変調データが“011010011100100001010011”である場合について、4パターンの変調出力と排他的論理和演算結果との関係を示している。

【0036】

【表3】

前変調出力	(制御ビット)	I-NRZ I 変調出力	
.....00	0	11011110010111110111100	(a)
.....00	1	100010110000101011101001	(b)
.....01	0	011101001111010100010110	(c)
.....01	1	001000011010000001000011	(d)

【表4】

排他的論理和演算結果		
0	0	101100010111000001100010 (a)
0	1	010011101000111110011101 (b)
1	1	010011101000111110011101 (c)
1	0	101100010111000001100010 (d)

上記表4 (a)乃至(d)の場合は、夫々上記表3の(a)乃至(d)の場合に対応する。上記表3, 4の(a), (d)の場合及び(b), (c)の場合の比較から明らかなように、前変調出力の最終ビットの極性と現変調出力の先頭ビット(制御ビット)の極性が同一であるか否かによって、排他的論理和演算結果は2パターンに集約され、また、これらの2パターンは相互にビット反転の関係を有することが分かる。

【0037】図2においては、排他的論理和回路21の出力はビット反転回路25に与えると共に、最大ランレングス検出回路22, 23にも与える。排他的論理和回路21の出力は上記表3, 4の(a)の場合に相当する。また、表4に示すように、この場合のランレングスは(d)の場合のランレングスと同じである。従って、(a)の場合、即ち、前ワードの変調出力の最終ビットが“0”で制御ビットが“0”の場合についてランレングスを検出し、表4の(a), (d)の場合の変調出力を選択する場合には、最終ビットが確定した段階で最終ビットが“0”のときには制御ビットとして“0”を選択し、最

20 終ビットが“1”のときには制御ビットとして“1”を選択するようにすればよい。

【0038】表4の(a)の場合及び(d)の場合として考えられるパターンは、図4のAパターン又はCパターンである。最大ランレングス検出回路22はAパターンの最大ランレングスを検出し、最大ランレングス検出回路23はCパターンの最大ランレングスを検出するためのものである。最大ランレングス検出回路22, 23は、夫々後述する保持回路26, 27から前変調出力までのランレングスが初期値として与えられ、この初期値に1を加算すると共に、排他的論理和回路21の出力を用いて、Lビットの現ワードの最大ランレングスを検出して選択回路28に出力する。また、最大ランレングス検出回路22は、現ワードの最終ビットから先頭ビット方向へのランレングスを検出して、次ワードの最大ランレングスの初期値として保持回路26に出力するようになっている。

【0039】ビット反転回路25は、排他的論理和回路21の出力をビット反転させて最大ランレングス検出回路24に出力する。これにより、最大ランレングス検出回路24によって、上記表4の(b), (c)の場合の最大ランレングスの検出が可能となる。上記表4の(b), (c)の場合、即ち、前変調出力の最終ビットと現ワードの制御ビットとが異なる極性である場合には、図4に示すように、最大ランレングスの検出に必要なパターンは図4のB, Dパターンである。つまり、この場合には、前ワードのランレングスを考慮する必要はない。最大ランレングス検出回路24は、ビット反転した排他的論理和結果の最大ランレングスを検出して比較回路29に出力する。また、最大ランレングス検出回路24は、現ワードの最終ビットから先頭ビット方向へのランレングスを検出して次ワードの最大ランレングスの初期値として保

持回路27に出力するようになっている。

【0040】保持回路26、27は、夫々Aパターン又はCパターンの最大ランレングスを検出するための前ワードまでのランレングスを保持し、次ワードの最大ランレングス検出時に、最大ランレングス検出回路22、23に初期値として供給するようになっている。

【0041】選択回路28は2ワード前の最終ビットlast2及び前ワードの先頭ビットfirst1が与えられ、両者が相互に同極性である場合には、最大ランレングス検出回路22からのAパターンの最大ランレングスを比較回路29に与え、異なる極性である場合には、最大ランレングス検出回路23からのCパターンの最大ランレングスを比較回路29に与える。

【0042】比較回路29は選択回路28からのAパターン又はCパターンの最大ランレングスと、最大ランレングス検出回路24からのB、Dパターンの最大ランレングスとを比較して、いずれの最大ランレングスが小さいかを判断して、表4の(a)、(d)の場合の変調出力を選択するか又は表4の(b)、(c)の場合の変調出力を選択するかを示す信号を反転回路30に与える。また、比較回路29は入力された最大ランレングスが設定値Nを越えたか否かを示す制御信号も出力する。反転回路30は、前ワードの変調出力確定後において、前ワードの変調出力の最終ビットlast1が入力され、last1が“0”である場合には、比較回路29の出力をそのまま選択信号として出力し、last1が“1”である場合には、比較回路29の出力を反転させて選択信号として出力する。

【0043】図1において、ランレングス検出回路14からの選択信号及び制御信号は決定回路15に与える。決定回路15は、制御信号によって最大ランレングスが設定値Nを越えないことが示された場合には、周波数成分を決定する外的要因に基づいてビット反転回路13の反転ビット群に対する反転又は非反転処理を制御する。また、決定回路15は、制御信号によって最大ランレングスが設定値Nを越えることが示された場合には、選択信号に基づいてビット反転回路13の反転ビット群に対する反転又は非反転処理を制御するようになっている。

【0044】次に、このように構成された実施例の動作について説明する。

【0045】入力される被変調データは「0」付加回路11に与える。「0」付加回路11は被変調データに制御ビットとして“0”を付加してプリコード12に与え、プリコード12は前ワードの変調出力の最終ビットを“00”であるものとして、「0」付加回路11の出力をI-NRZ1変換する。変換出力はビット反転回路13及びランレングス検出回路14に与える。

【0046】前ワードの変調出力の確定前においては、ビット反転回路13は、反転又は非反転処理を行わない。これに対し、ランレングス検出回路14は、最大ランレングスの算出を開始する。

【0047】前ワードの変調出力が確定していない時点では、入力された被変調データに対する変調出力としては上記表3、4に示す4パターンが考えられる。これらの4パターンのうち(a)の場合と(d)の場合とはランレングスは同一であり、また、(b)の場合と(c)の場合もランレングスは一致する。そこで、ランレングス検出回路14は(a)、(d)の場合及び(b)、(c)の場合の2パターンについて最大ランレングスを求める。

【0048】即ち、プリコード12の変換出力は排他的論理和回路21に与える。排他的論理和回路21は、前後のビット間で排他的論理和を求める。排他的論理和演算結果の“0”の連続数+1はランレングスを示す。なお、「0」付加回路11及びプリコード12によって、前ワードの最終ビット及び現ワードの制御ビットとして“0”が用いられているので、排他的論理和回路21の出力は上記表3、4の(a)の場合に対応する。

【0049】排他的論理和演算結果は最大ランレングス検出回路22、23及びビット反転回路25に出力する。上記表4に示すように、(a)、(d)の場合と(b)、(c)の場合とでは、排他的論理和演算結果はビット反転したものであるため、ビット反転回路25が排他的論理和回路21の出力をビット反転させることにより、上記表3、4の(b)、(c)の場合に対応する排他的論理和演算結果が得られる。

【0050】上記表3、4の(b)、(c)の場合は、図4のB、Dパターンに相当し、現ワードのランレングスのみを考慮すればよく、最大ランレングス検出回路24はビット反転回路25の出力から最大ランレングスを求めると共に、現ワードの最終ビットから先頭ビット方向へのランレングスを検出して次ワードの初期値として保持回路27に与えて記憶させる。上記表3、4の(a)、

(d)の場合は、図4のA、Cパターンに相当する。最大ランレングス検出回路23はCパターンにおける最大ランレングスを検出するものであり、保持回路27から前ワードまでのランレングスが初期値として与えられて、現ワードの最大ランレングスを検出する。また、最大ランレングス検出回路22はAパターンにおける最大ランレングスを検出するものであり、保持回路26から前ワードまでのランレングスが初期値として与えられて、現ワードの最大ランレングスを検出する。最大ランレングス検出回路22は、現ワードの最終ビットから先頭ビット方向へのランレングスを検出して次ワードの初期値として保持回路26に与えて記憶させる。

【0051】AパターンとCパターンとは前ワードの先頭ビットと2ワード前の最終ビットとの極性に基づくものであり、選択回路28は保持回路10から前ワードの変調出力の確定後においてこれらのビットfirst1、last2が与えられて、実際に取得するパターンに基づく最大ランレングスを比較回路29に出力する。こうして、比較回路

29には現ワードの変調出力として取り得る(a), (d)の場合と(b), (c)の場合とについて求めた最大ランレングスが供給される。比較回路29は入力された最大ランレングスが設定値Nを越えているか否かを示す制御信号を出力すると共に、選択回路28からの最大ランレングスと最大ランレングス検出回路24からの最大ランレングスとを比較して、いずれのランレングスが小さいかを示す信号を反転回路30に出力する。

【0052】即ち、反転回路30には表3の(a), (d)の場合の変調出力を選択することを示す信号か又は表3の(b), (c)の場合の変調出力を選択することを示す信号が与えられる。反転回路30は、前ワードの最終ビットが与えられ、この最終ビットが“0”である場合には、表3の(a)の場合又は表3の(b)の場合を選択するための選択信号を出力し、“1”である場合には、表3の(d)の場合又は表3の(c)の場合を選択するための選択信号を出力する。

【0053】決定回路15は、制御信号によっていずれの変調出力を選択しても最大ランレングスが設定値Nを越えないことが示された場合には、外的要因に基づいて制御ビットを決定するための信号をビット反転回路13に与える。ビット反転回路13は、保持回路10から前ワードの最終ビットが与えられ、最終ビットが“0”である場合には、共通ビット群をそのまま出力し、反転ビット群を決定回路15からの指示に基づいて反転又は非反転処理する。また、ビット反転回路13は、前ワードの最終ビットが“1”である場合には、共通ビット群を反転させると共に、反転ビット群を決定回路15からの指示に基づいて反転又は非反転処理する。

【0054】また、決定回路15は、制御信号によって最大ランレングスが設定値Nを越えることが示された場合には、選択信号に基づいて制御ビットを決定するための信

号をビット反転回路13に与える。ビット反転回路13が決定回路15の出力に基づいて反転ビット群を反転又は非反転処理することは最大ランレングスが設定値Nを越えない場合と同様である。

【0055】このように、本実施例においては、変調出力の最終ビットと先頭ビットとの極性に依じて現ワードの変調出力として取り得るパターンが2パターンであることを利用して、前ワードの変調出力が確定する前に、これらの各パターンについて最大ランレングスを検出し、前ワードの変調出力が確定した後に、その最終ビットに基づいて現ワードの制御ビットを選択しており、ランレングスの検出のための十分な処理時間を得て、処理時間の制約を緩和している。

【0056】

【発明の効果】以上説明したように本発明によれば、ランレングス検出のための処理時間の制約を緩和することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る符号化装置の一実施例を示すブロック図。

【図2】図1中のランレングス検出回路14の具体的な構成を示すブロック図。

【図3】最もランレングスが長くなる変調出力を示す説明図。

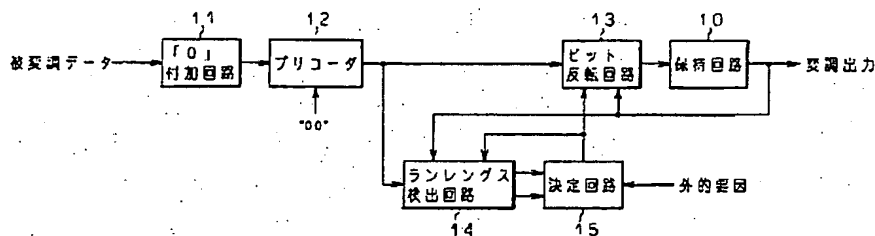
【図4】変調出力の最終ビット及び先頭ビットと最大ランレングスの算出に必要な範囲との関係の説明するための説明図。

【図5】従来の符号化装置を示すブロック図。

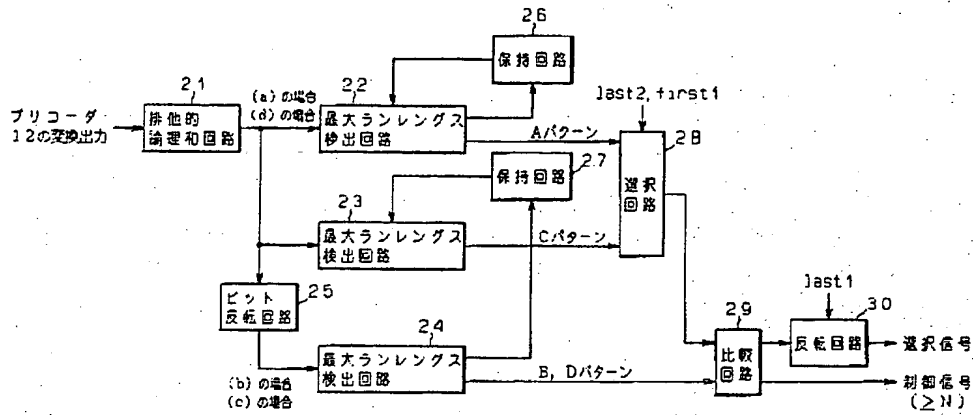
【符号の説明】

11…「0」付加回路、12…プリコーダ、13…ビット反転回路、14…ランレングス検出回路、15…決定回路

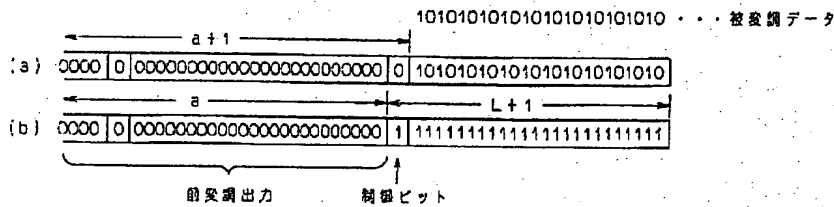
【図1】



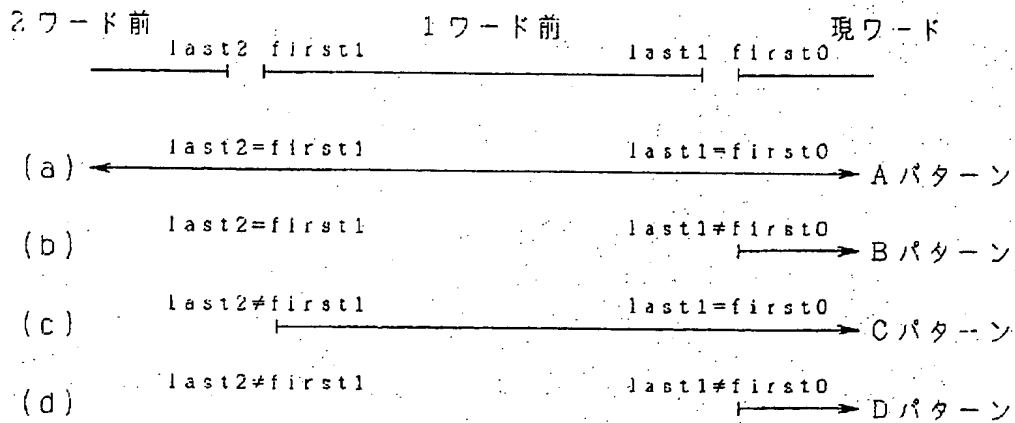
【図2】



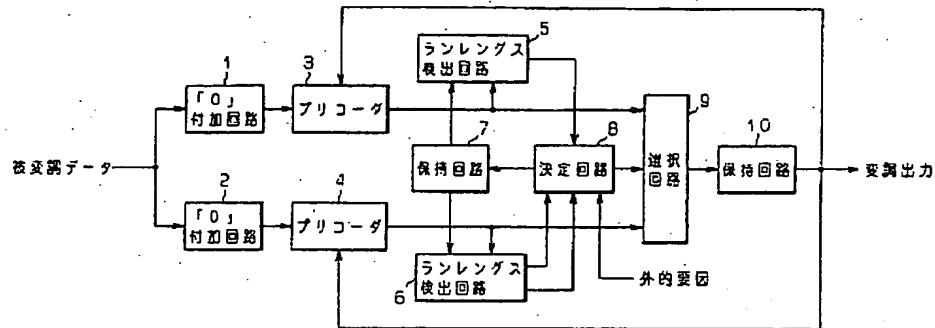
【図3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)